

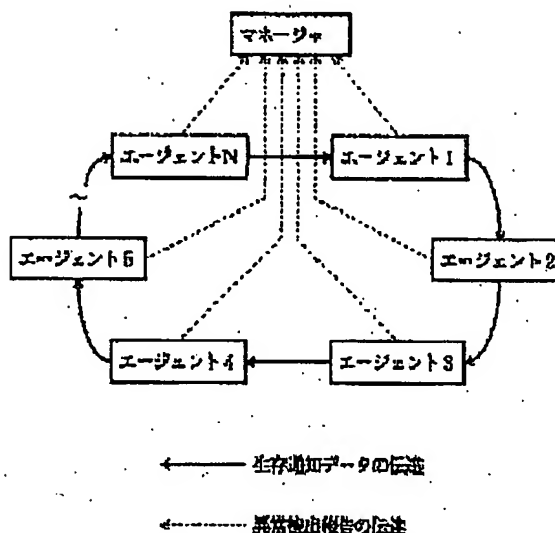
## NETWORK MONITORING METHOD

Patent number: JP6175944  
 Publication date: 1994-06-24  
 Inventor: SAITOU TOMOTSUGU  
 Applicant: FUJITSU LTD  
 Classification:  
 - International: G06F13/00; G06F15/16; H04L12/28  
 - european:  
 Application number: JP19920324562 19921204  
 Priority number(s):

### Abstract of JP6175944

**PURPOSE:** To shorten a time until abnormality is detected, and to eliminate a neck due to the traffic of data for management running through a network, in a method by which the entire objects to be managed (agent) of the network are monitored by a software for management (manager).

**CONSTITUTION:** The manager designates the name or address of the other party agent to which his own existence communication data are transmitted, the time interval of the transmission, the name or address of the other party agent by which the existence information data from the other agent are received, and the permitting time interval. Then, more than one closed loop is logically formed of the transmission and reception of the existence communication data in an LAN. Each agent transmits his own existence information data according to the designation, monitors the existence information data from the other agent based on the designation, and when the data can not be received within the permitting time, the result is communicated to the manager.



⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

昭61-75944

⑤ Int. Cl.

G 06 F 12/10

識別記号

庁内整理番号

8219-5B

④ 公開 昭和61年(1986)4月18日

審査請求 未請求 発明の数 1 (全5頁)

⑬ 発明の名称 アドレス変換装置

⑭ 特 願 昭59-198015

⑮ 出 願 昭59(1984)9月21日

⑯ 発 明 者 佐 藤 洋 一 東京都港区芝5丁目33番1号 日本電気株式会社内

⑰ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号

⑱ 代 理 人 弁理士 内 原 晋

## 明 細 書

## 発明の名称

アドレス変換装置

## 特許請求の範囲

仮想記憶機構を備える情報処理装置のアドレス変換装置のアドレス変換装置において、

被変換アドレスの一部と前記被変換アドレスに対応する実アドレスとを含むエントリを複数個格納するアドレス変換バッファと、

外部から供給される被変換アドレスを保持する被変換アドレスレジスタと、

前記アドレス変換バッファ内の消去すべきエントリを識別する消去実ブロック情報を保持する消去レジスタと、

前記消去レジスタの内容の有効であることを示す消去フラグ信号を保持する消去フラグと、

前記被変換アドレスレジスタの内容の一部と前記アドレス変換バッファから読み出されたエントリ

の内容の一部とを比較し前記読み出されたエントリが前記被変換アドレスレジスタの内容に対応していると判定したときには出力一致信号を発生する判定回路と、

前記消去レジスタの有効な内容と前記アドレス変換バッファから読み出された内容の一部とを比較し前記被変換アドレスレジスタに格納されている被変換アドレスに対応する前記アドレス変換バッファ内のエントリが消去対象であると判定したときには消去一致信号を発生する検出回路と、

前記出力一致信号の供給をうけないときおよび前記出力一致信号と前記消去一致信号との供給を受けたときに変換信号を発生する第1の信号発生手段と、

前記変換信号と前記有効であることを示す消去フラグ信号との供給にตอบสนองして消去信号を発生する第2の信号発生手段と、

前記変換信号の供給にตอบสนองして予め定められた手順に従って前記被変換アドレスレジスタの内容に対応する実アドレスを求めて前記アドレス変換

## 特開昭61- 75944 (2)

バッファに読み込み前記消去信号の供給に回答して前記消去レジスタの内容に対応する前記アドレス変換バッファ内のエントリの消去を行なう変換消去手段と、

出力される実アドレスを前記変換信号の供給に回答して無効にする出力手段とを含むことを特徴とするアドレス変換装置。

## 発明の詳細な説明

## (産業上の利用分野)

本発明は情報処理装置に於けるアドレス変換装置に関し、特にアドレス変換バッファ内のエントリの消去方式に関する。

## (従来の技術)

仮想アドレス空間と実アドレス空間の対応関係を変更する場合、すでにアドレス変換バッファ内に登録されているエントリ中に上記対応関係の変換対象となるエントリが存在すればこれをアドレス変換バッファから消去し(上記消去動作を以後条件付消去と呼ぶことにする)予め定められた手

順に従って変更された実アドレスをアドレス変換バッファ内に登録する必要がある。

## (発明が解決しようとする問題点)

上記条件付消去において、変更対象が実アドレスで指定される場合の処理において、従来のアドレス変換装置は、特別の回路を有せず、アドレス変換バッファの全エントリ消去により処理を行なうものが多く、上記条件付消去のための回路を有する装置では全エントリを検査し消去しなければならず、上記条件付消去を実行し終了するまで次のアドレス変換要求を受けつけることはできないという欠点がある。

そこで本発明の目的はかかる欠点を除去し条件付消去の動作を被変換アドレスに対応するアドレス変換バッファのエントリに有効なエントリがないときに前記有効なエントリを求める動作と共に行なうことにより仮想アドレス空間と実アドレス空間との対応関係を変更する時間の短縮できるアドレス変換装置を提供することにある。

## (発明の構成)

本発明の装置は、仮想記憶機構を備える情報処理装置のアドレス変換装置において、被変換アドレスの一部と前記被変換アドレスに対応する実アドレスを含むエントリを複数個格納するアドレス変換バッファと、外部から供給される被変換アドレスを保持する被変換アドレスレジスタと、前記アドレス変換バッファ内の消去すべきエントリを識別する消去実ブロック情報を保持する消去レジスタと、前記消去レジスタの内容の有効であることを示す消去フラグ信号を保持する消去フラグと、前記被変換アドレスレジスタの内容の一部と前記アドレス変換バッファから読出されたエントリの内容の一部とを比較し前記読出されたエントリが前記被変換アドレスレジスタの内容に対応していると判定したときは出力一致信号を発生する判定回路と、前記消去レジスタの有効な内容と前記アドレス変換バッファから読出された内容の一部とを比較し前記被変換アドレスレジスタに格納されている被変換アドレスに対応する前記アドレス変換バッファ内のエントリが消去対象であると

判定したときには消去一致信号を発生する検出回路と、前記出力一致信号の供給をうけないときおよび前記出力一致信号と前記消去一致信号との供給をうけたときに変換信号を発生する第1の信号発生手段と、前記変換信号と前記有効であることを示す消去フラグ信号との供給に回答して消去信号を発生する第2の信号発生手段と、前記変換信号の供給に回答して予め定められた手順に従って前記被変換アドレスレジスタの内容に対応する実アドレスを求めて前記アドレス変換バッファに読み込み前記消去信号の供給に回答して前記消去レジスタの内容に対応する前記アドレス変換バッファ内のエントリの消去を行なう変換消去手段と、出力される実アドレスを前記変換信号の供給に回答して無効にする出力手段とを含んで構成される。

## (実施例)

次に本発明について図面を参照して詳細に説明する。

第1図は本発明の一実施例を示すブロック図である。第1図のアドレス変換装置は、被変換アド

## 特開昭61- 75944(3)

レスや消去突ブロック情報等を保持する被交換アドレスレジスタ10と、選択回路15を経由して被交換アドレスレジスタ10の一部分の情報によりアドレスされるアドレス交換バッファ30と、アドレス交換バッファ30より読み出されたエントリ内の被交換アドレスに対応する突アドレス情報とそれに対応する被交換アドレスレジスタ10内の情報とを交換消去制御部50の指示に従って比較し前記エントリが被交換アドレスレジスタの内容と一致しかつ前記エントリの有効性を示す有効性表示ビットが"1"であることを判定し"1"なる出力一致信号401を送出する判定回路40と、条件付消去指示がアドレス交換要求として交換消去制御部50に送られた場合被交換アドレスレジスタ10にセットされた消去突ブロック情報を次クロックで読み込み条件付消去が終了するまで保持する消去レジスタ60と、消去レジスタ60とアドレス交換バッファ30内の突アドレス情報とを交換消去制御部50の指示により比較し一致を検出しかつ消去フラグ70の内容が"1"である

アドレスがセットされる。セットされた後被交換アドレスは判定回路40で一致が判定されると同時に検出回路80で消去レジスタ60に格納されている消去突ブロックとの一致も判定される。

先ず判定回路40により"1"なる出力一致信号401が送出された場合について述べる。この場合に検出回路80で"1"なる消去一致信号801が発生せず不一致と判定されればアドレス交換バッファ30のエントリ内の突アドレスを有効として"0"なる交換信号901を交換信号発生回路90に送出する。しかし検出回路80で一致と判定され"1"なる消去一致信号801が送出されたときにはアドレス交換バッファ30のエントリ内の突アドレスは無効とされ、交換信号発生回路90は"1"なる交換信号901を発生する。さらにこの場合には消去フラグ信号701も"1"故消去信号発生回路100においても"1"なる消去信号104を発生し"1"なる交換信号901とともに交換消去制御部50へ伝送される。

~~それを受けて~~

ることを検出し"1"なる消去一致信号801を送出する検出回路80と、前記"1"の場合に条件付消去が有効であることを示す消去フラグ信号701を格納する消去フラグ70と、検出回路80の出力信号801と判定回路40の出力信号401との供給を受け判定回路40の判定結果が不一致の場合および判定回路40と検出回路80の判定結果が共に一致の場合に"1"なる交換信号901を発生する交換信号発生回路90と、"1"なる交換信号901と"1"なる消去フラグ信号701との供給を受け"1"なる消去信号104を発生する消去信号発生回路100と、交換消去制御部50とから構成される。

次に条件付消去の動作を説明する。

条件付消去要求を受け付けると交換消去制御部50により消去突ブロック情報が被交換アドレスレジスタ10をへて消去レジスタ60にセットされ、かつ消去フラグ70がセットされ消去レジスタ60の内容を有効とし被交換アドレスレジスタ10には保持するアドレス交換要求に伴う被交換

~~これを受けて~~  
交換消去制御部50は与えられた被交換アドレスを突アドレスへ交換するための決められた手順に従って突アドレスを求める動作を開始する。これと並行して交換消去制御部50は、選択回路15に属505の選択を指示し交換消去制御部50で"0"から毎サイクル歩進される条件付消去のためのアドレス交換バッファ30のアドレスを供給する。前記アドレスで読み出されたアドレス交換バッファ30のエントリは検出回路80で消去条件が判定され消去一致信号801を交換消去制御部50へ送出する。交換消去制御部50は消去一致信号801を受け付けると破503上に"0"を送出してアドレス交換バッファ30の有効性表示ビットを"0"にクリアする。以上を1サイクルとして条件付消去が実行される。消去フラグ70は全エントリの有効性が判定された時点で"0"にクリアされる。上記被交換アドレスに対応する突アドレスが得られた時点で、上記条件付消去が終了したか否か消去フラグ70により判定し、もし終了していれば上記突アドレスを含むエントリ

## 特開昭 61- 75944 (4)

情報をアドレス変換バッファ 30 に書き込むが、未終了ならば条件付消去の完了を待って上記書き込みを実行する。

条件付消去の完了に要する時間を  $t_1$ 、被変換アドレスを実アドレスに変換するに要する時間を  $t_2$ 、実アドレス書き込み時間を  $t_3$  とすれば、仮想アドレス空間と実アドレス空間との対応の変更を要する時間は  $t_1 > t_2$  の場合  $(t_1 + t_3)$ 、 $t_1 < t_2$  の場合  $(t_2 + t_3)$  となり従来従値の  $(t_1 + t_2 + t_3)$  に比し短縮できる。

一方判定回路 40 で不一致と判定され "1" なる出力一致信号 401 が送出されない場合には、変換を要求された被変換アドレスに対応する実アドレスがアドレス変換バッファ 30 内にエントリされていないことを意味する。従って変換消去制御部 50 によるアドレス変換を必要とし、そのために検出回路 80 の判定如何にかかわらず変換信号発生回路 90 は "0" なる出力一致信号 401 の供給をうけ "1" なる変換信号 901 を発生し、変換消去制御部 50 にアドレス変換を要求し前述

のごときアドレス変換を開始させる。さらにこのとき消去フラグ信号 701 が "1" の場合には消去信号発生回路 100 にて "1" なる消去信号 104 を発生し変換消去制御部 50 に条件付消去を要求し前述の如き条件付消去を開始させる。そして予め決められた手順に従って実アドレスが得られた時点で条件付消去動作の終了を消去フラグ 701 により判定し、終了してればすぐにエントリをアドレス変換バッファ 30 へ登録するが、条件付消去動作が未終了の場合、求められた実アドレスが消去レジスタ 60 内の実アドレスブロックと一致か否か判定され、一致した時は、条件付消去の終了を待ってからアドレス変換バッファ 30 へエントリを登録し、不一致の時は、条件付消去処理を一時中断し求めたエントリをアドレス変換バッファ 30 へ登録し次のアドレス変換要求を受け付ける。以上の手順を繰り返して条件付消去を実行する。仮想アドレス空間と実アドレス空間との対応の変更を要する時間は条件付消去動作を完全終了せしめる場合には前記と同様  $(t_1 + t_3)$  または  $(t_2 + t_3)$

であるが条件付消去動作を中断する場合には  $(t_2 + t_3)$  となり従来従値の  $(t_1 + t_2 + t_3)$  に比し短縮できる。

各信号間の論理値の関係および接続を下表に示す。

信号符号	401	801	701	901	104
信号名称	出力一致信号	消去一致信号	消去フラグ	変換信号	消去信号
論理値関係	0	0	0	1	0
	0	0	1	1	1
	0	1	1	1	1
	1	0	0	0	0
	1	0	1	0	0
	1	1	1	1	1
論理値の意義	1	一致	一致	有効	変換要
	0	不一致	不一致	無効	変換不要

本実施例では消去レジスタへの格納は被変換アドレスレジスタを経由した場合について説明したが本発明はこれに限定されるものではなく直接外部から格納することもできる。

## (発明の効果)

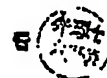
本発明には以上説明したように、消去レジスタと判定回路及び抑止回路を備えることにより、アドレス変換バッファ内に要求された被変換アドレスに対応するエントリが存在しない場合に定められた手順により実アドレスを求める処理と条件付消去の処理を並行して実行することにより、仮想アドレス空間と実アドレス空間との対応の変更を要する時間を短縮できるという効果がある。

## 図面の簡単な説明

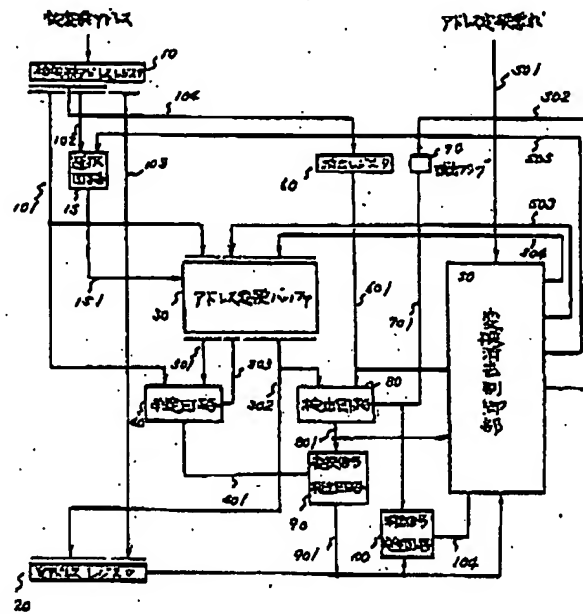
第 1 図は本発明の一実施例を示すブロック図である。

10 ……被変換アドレスレジスタ、20 ……実アドレスレジスタ、30 ……アドレス変換バッファ、40 ……判定回路、50 ……変換消去制御部、60 ……消去レジスタ、70 ……消去フラグ、80 ……検出回路、90 ……変換信号発生回路、100 ……消去信号発生回路。

代理人 弁理士 内 原



特開明 61- 75044 (5)



第 1 図